

## ⑫ 公開特許公報(A)

昭63-288047

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月25日

H 01 L 21/90

M-6708-5F

B-6708-5F

6708-5F

審査請求 有 発明の数 2 (全4頁)

21/95

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭62-123396

⑯ 出 願 昭62(1987)5月20日

⑰ 発 明 者 森 誠 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 2層以上の配線又は電極層を有し、このうちの下層の配線又は電極層の上に層間絶縁膜を有し、この層間絶縁膜にコンタクトホールが開口され、このコンタクトホールを含み上層の配線又は電極層が設けられた半導体装置において、前記コンタクトホールの側面部と上層の配線又は電極層との間に $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ より成る3層絶縁膜を有することを特徴とする半導体装置。

(2) 半導体基板上に2層以上の配線又は電極層を有する半導体装置の製造方法において、下層の配線又は電極層を形成する工程と、前記下層の配線又は電極層上に層間絶縁膜を形成する工程と、前記層間絶縁膜にコンタクトホールを開口する工程と、前記コンタクトホールを含む層間絶縁膜上に $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 又は

$\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ よりなる3層膜を堆積する工程と、前記コンタクトホール底部の前記3層膜をエッチバック法により除去し、前記コンタクトホール側面に前記3層膜を残す工程と、前記コンタクトホールを含み上層の配線又は電極層を堆積させる工程とを具備したことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は半導体装置の配線層形成を改善した半導体装置及びその製造方法に関するもので、特にコンタクトホールと配線又は電極層の間隔が微細化されている超LSIデバイスに使用されるものである。

## (従来の技術)

従来、超LSIのような微細なデバイスではコンタクトホールと下層の配線または電極層の間隔は、フォトリソグラフィ工程の合わせ精度によって決定されており、ある程度以上は小さくで

きない。特に下層の配線又は電極層の厚さが厚い場合やコンタクトホールが大きさが小さい場合、コンタクトホールのアスペクト比が大きくなり、その為コンタクトの大きさを大きくしないと、その上に形成される金属配線層が段切れを起こす問題が発生する場合があり、コンタクトホールは可能な限り大きくする必要がある。その場合、コンタクトホールと下層電極層間の距離が近接し、コンタクトホール開口後形成する上部配線層と下層配線層とがショートする危険性が增大するので、コンタクトホールと下層電極層の間隔をあまり小さくすることができない。

( 発明が解決しようとする問題点 )

上記問題を解決する手段として、コンタクトホール形成後コンタクトホール側面に絶縁膜を形成し、たとえコンタクトホール開口時に下層電極層とコンタクトホールが近接しても、後で形成する上層金属電極層と下層電極層がショートしないようにする方法が考えられる。しかし上記絶縁膜には、両極性で高い電界強度と低欠陥密度さらに

薄膜化が要求される。上記絶縁膜が厚いとコンタクトホールが大きさが小さくなってしまい、微細デバイスに使用できない。例えば通常のCVD法で堆積させる $\text{SiO}_2$ 膜では、電界強度も低く、欠陥密度が多いので、十分な信頼性は得られず当然薄膜化も達成できない。

本発明は、下層配線又は電極層と、コンタクトホール開口後に形成する上部配線層との間に、薄くかつ信頼性の高い絶縁膜を堆積させることにより、コンタクトホールと下層配線又は電極層との間の距離をできるだけ短くして、素子の高集積化を達成するものである。

[ 発明の構成 ]

( 問題点を解決するための手段と作用 )

本発明は、下層電極又は配線層を形成後、層間絶縁膜を形成し、次に、この相間絶縁膜にコンタクトホールを開口し、その後、上部の電極又は配線層を堆積する前に薄膜の $\text{SiO}_2$  /  $\text{Si}_3\text{N}_4$  /  $\text{SiO}_2$  又は  $\text{Si}_3\text{N}_4$  /  $\text{SiO}_2$  /  $\text{Si}_3\text{N}_4$  の3層膜を堆積させる。上記コンタ

クトホール底部の上記3層膜を除去した後、上層の電極又は配線層を形成することによって、上記上層と下層の配線又は電極層は、たとえコンタクトホール開口時にコンタクトホールと下層電極層が非常に近接してしまっている、次に堆積する3層絶縁膜によって上部電極層とは絶縁される。また上記3層絶縁膜は欠陥密度が低く電界強度も大きいので、薄膜化が可能で、その為、コンタクトホールが大きさが小さくなってしまいうことも最小限に抑制される。これによりコンタクトホールと下層電極層の間隔は、従来よりも大幅に小さく設計できる為、素子の高集積化が可能となるものである。

( 実施例 )

以下図面を参照して本発明の一実施例を説明する。第1図ないし第5図は同実施例の製造工程図であるが、これは本発明を、第一層目の電極層の高さが高いEPROM(紫外線消去型EPROM)に適用した場合の例である。第1図はコンタクトホールを形成する前の一般的なEPROMの断面

図で、1はP形シリコン基板、2は $\text{N}^+$ 拡散層で、3は2層ポリシリコンよりなるEPROMセル(第一層目の電極・配線層に相当)、4は層間絶縁膜である。その後コンタクトホール開口のためのフォトリソグラフィーを行う。第2図に示すようにレジスト5を塗布し、フォトリソグラフィー工程によりレジスト5のパターニングを行ない、RIE(リアクティブ・イオン・エッチング)法によりコンタクトホール6を開く。この場合、コンタクトホール6とポリシリコン3間の距離が短いので、部分7でポリシリコン電極3の側面の絶縁膜が非常に薄くなっている。このまま第2層目(上層)の例えばA<sub>1</sub>配線層を堆積させれば当然そのA<sub>1</sub>配線層とポリシリコン電極3は絶縁膜中の欠陥等によりショートしてしまう確率が増す。そこで第3図に示すように例えばLPCVD法(ロープレッシュヤCVD法)により $\text{SiO}_2$ 膜8 /  $\text{Si}_3\text{N}_4$ 膜9 /  $\text{SiO}_2$ 膜10の3層膜を例えばそれぞれ100 / 120 / 100Å堆積させる。この3層膜の欠陥密度は通常 $0.01 \text{ cm}^{-2}$

以下で、電界強度は極性によらず通常30V以上、20V印加時のリーク電流も $10^{-8}$  A/cm<sup>2</sup>以下である。

上記3層膜と同様の特性はSi<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>の組み合わせでも実現できる。

次に第4図に示すようにエッチバック法によりコンタクトホール底部の3層膜を除去した後、第5図に示すように第2層目(上層)の配線層となるAl層11を堆積し、パターニングする。これにより2層ポリシリコンと1層Al層の構造が完了した。

本発明によると、従来下層電極とコンタクトホール間の距離を1μm程度に設計しなければならなかったのが、大幅に縮小できる。理論的には0μmとしてもショートは起こらないが、どこまで短くできるかは、下層の電極又は配線層の用途や種類等にも左右される。これにより高集積化が可能となると同時に、従来生じていた配線層間のショートを大幅に低減できる。

10…SiO<sub>2</sub>層、11…Al配線層。

出願人代理人 弁理士 錦 江 武 彦

なお本発明は実施例のみに限られず種々の応用が可能である。例えば本実施例では第1層にポリシリコン、第2層にAlを用いた場合について述べたが、これに限定されないことはもちろんである。

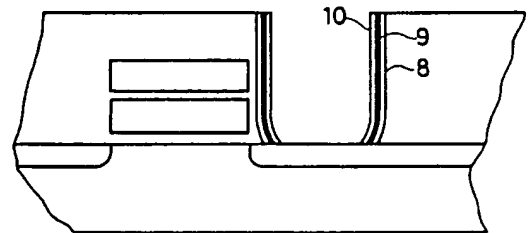
#### 【発明の効果】

以上説明した如く本発明によれば下層配線又は電極層と、コンタクトホール開口後に形成する上部配線層との間に、薄くかつ信頼性の高い絶縁膜を堆積させることにより、コンタクトホールと下層配線又は電極層との間の距離をできるだけ短くして、素子の高集積化を達成することができるものである。

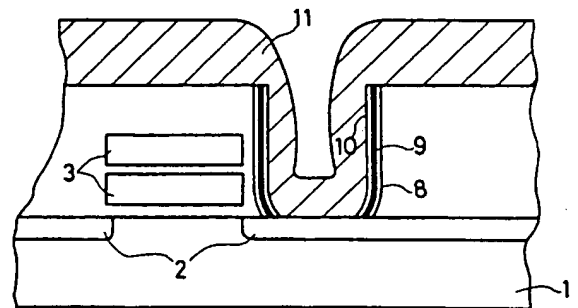
#### 4. 図面の簡単な説明

第1図ないし第5図は本発明の一実施例の製造工程説明図である。

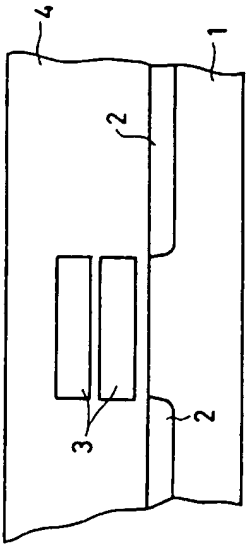
1…P形シリコン基板、2…N<sup>+</sup>拡散層、3…2層ポリシリコン層、4…層間絶縁膜、5…フォトレジスト、6…コンタクト開口部、7…問題となる領域、8…SiO<sub>2</sub>層、9…Si<sub>3</sub>N<sub>4</sub>層、



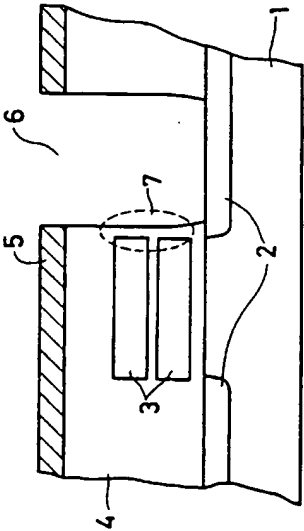
第4図



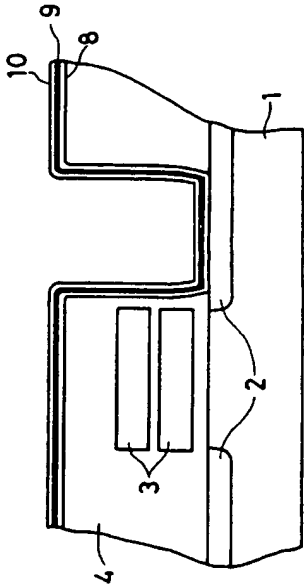
第5図



第 1 図



第 2 図



第 3 図

**MENU**

**SEARCH**

**INDEX**

**JAPANESE**

1 / 1

---

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-288047**

(43)Date of publication of  
application : **25.11.1988**

---

(51)Int.Cl. **H01L 21/90**  
**H01L 21/95**

---

(21)Application number :	<b>62-123396</b>	(71) Applicant :	<b>TOSHIBA CORP</b>
(22)Date of filing :	<b>20.05.1987</b>	(72)Inventor :	<b>MORI SEIICHI</b>

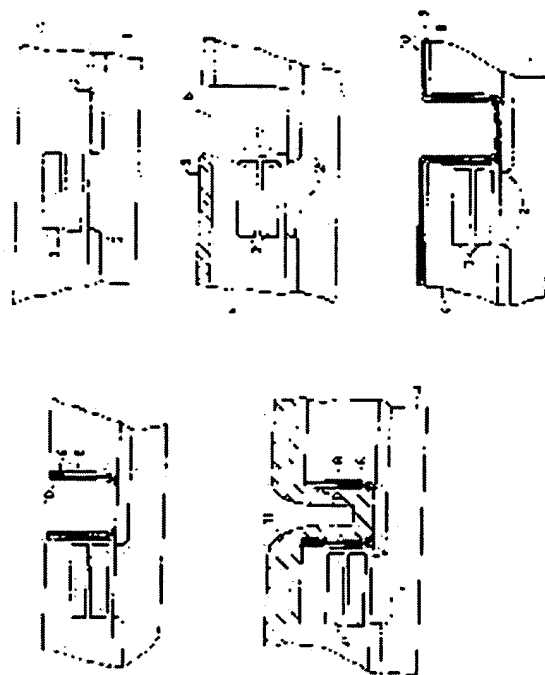
---

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(57)Abstract:

**PURPOSE:** To design a space between a contact hole and a lower-layer electrode layer at an exceedingly small value, and to improve the degree of integration of an element by insulating the contact hole and the lower-layer electrode layer from an upper electrode layer by subsequently deposited three-layer insulating films even when the contact hole and the lower-layer electrode layer are brought extremely near.

**CONSTITUTION:** A semiconductor device is composed of a P-type silicon substrate 1, an N<sup>+</sup> diffusion layer 2, an EPROM cell 3 (corresponding to a first layer electrode-wiring layer) consisting of two-layer polysilicon and an inter-layer insulating film 4, and photolithography for boring a contact hole 6 is conducted. Three layer films of SiO<sub>2</sub> film 8/Si<sub>3</sub>N<sub>4</sub> film 9/SiO<sub>2</sub> film 10 are deposited respectively in thickness such as 100Å/120Å/100Å; through an LPCVD method (a low pressure CVD method). The three layer films on the bottom of the contact hole are removed through an etchback method, and an Al layer 11 as a second layer (an upper layer) wiring layer is deposited, and patterned. Accordingly, the structure of two layer polysilicon and one-layer Al layer is completed.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]